

DESAIN DAN IMPLEMENTASI *TURBO ENCODER* MENGGUNAKAN *FIELD PROGRAMMABLE GATE ARRAY (FPGA)* UNTUK APLIKASI SATELIT NANO

“DESIGN AND IMPLEMENTATION OF TURBO ENCODER USING FIELD PROGRAMMABLE GATE ARRAY (FPGA) FOR NANOSATELLITE APPLICATION”

Laila Prakasita¹, Heroe Wijanto², Budi Syihabuddin³

^{1,2,3}Prodi S1 Teknik Telekomunikasi, Fakultas Teknik, Universitas Telkom
{¹lailaprakasita@students., ²heroe@, ³bsa@ }telkomuniversity.ac.id

ABSTRAK

Pada tugas akhir ini telah dibandingkan performansi tanpa *channel coding*, dengan *turbo coding* (rate 1/3 dan 1/2), dan dengan *convolutional coding* (rate 1/2) untuk pengiriman gambar melalui satelit. Hasil simulasi menunjukkan bahwa Turbo code rate 1/3 memiliki performansi yang baik dibandingkan dengan turbo code rate 1/2, convolutional code rate 1/2 dan tanpa pengkodean kanal. EbNo terhadap BER 10⁻⁶ hasil simulasi sebesar 5.55 dB untuk turbo code rate 1/3, 9.67 dB turbo code rate 1/2, 9.45 dB untuk convolutional code rate 1/2, dan 16.6458 dB untuk sistem tanpa pengkodean kanal. Berdasarkan hasil tersebut, dilakukan perancangan *prototype* rangkaian encoder turbo code rate 1/3 yang digunakan untuk aplikasi satelit nano menggunakan *Field Programmable Gate Array (FPGA)* ATLYS Spartan-6 XC6SLX45 CSG324C yang akan digunakan sebagai salah satu pusat pemrosesan data pada *space segment* nano satelit. Hasil sintesis sistem yang dirancang memiliki periode minimum 5.913 ns dan frekuensi clock maksimal FPGA yaitu 169.122 MHz. *Resources* FPGA yang terpakai untuk sistem turbo encoder 0.0044% *Number of Slice Registers*, 3% *Number of Slice LUTs*, 25% *Number of fully used LUT-FF*, 1% *Number of bounded IOBs*, dan 12% *Number of BUFG/BUFGCTRL/BUFHCEs*. Dari hasil sintesis sistem ditunjukkan bahwa perancangan *prototype Turbo encoder* dapat diimplementasikan pada board ATLYS Spartan-6 XC6SLX45 CSG324C.

Kata Kunci : *satelit nano, turbo code, convolutional code, FPGA*

ABSTRACT

In this final project has been compared the satellite communication without channel coding, with turbo coding (rate 1/3 and 1/2), and also with convolutional coding (rate 1/2) for image satellite transmission. The result of simulation Turbo code rate 1/3 has better performance than turbo code rate 1/2, convolutional code rate 1/2 and without channel code. EbNo toward BER 10⁻⁶ are 5.55 dB for turbo code rate 1/3, 9.67 dB turbo code rate 1/2, 9.45 dB for convolutional code rate 1/2, and 16.6458 dB for system without channel coding. From this result of simulations, prototype of turbo encoder rate 1/3 has been designed for nano satellite application based on FPGA ATLYS Spartan-6 XC6SLX45 CSG324C that will use for one of main data processor at space segment of nano satellite. The syntesized system has minimum period 5.913ns and maximum clock frequency is 169.122 MHz. The resource FPGA that used are 0.0044% Number of Slice Registers, 3% Number of Slice LUTs, 25% Number of fully used LUT-FF, 1% Number of bounded IOBs, and 12% Number of BUFG/BUFGCTRL/BUFHCEs. It impact that the architecture design can be implemented on FPGA Spartan-6 XC6SLX45 CSG324C because of this resources.

Keywords: *nano satellite, turbo code, convolutional code, FPGA.*

1. Pendahuluan

Satelit telah banyak diimplementasikan untuk kebutuhan manusia saat ini, diantaranya penginderaan jarak jauh, TV *broadcasting*, komunikasi bergerak, dan lain-lain [1]. Satelit nano, satelit yang memiliki berat kurang dari 10kg [2], saat ini tengah banyak dikembangkan untuk penelitian oleh perguruan tinggi, salah satunya Universitas Telkom. Mengacu pada IiNUSAT 1, satelit nano ini akan mengorbit pada ketinggian 700km [3] dan dimanfaatkan untuk misi penginderaan jarak jauh. Karakteristik pengiriman data melalui satelit yaitu *power limited*, *delay* yang tinggi, adanya *doppler shift*, serta adanya *error burst* [1]. Oleh karena itu, dibutuhkan sistem komunikasi yang hemat daya dan *reliable* untuk komunikasi melalui satelit, khususnya satelit nano. Daya yang dibutuhkan untuk pengiriman data dalam sistem komunikasi satelit bisa ditunjukkan dari nilai EbNo atau energi bit informasi per noise density. Sedangkan *reliability* dalam sistem komunikasi digital ditunjukkan dari perhitungan *Bit Error Rate* (BER) pada penerima [3]. Salah satu cara meminimalisasi EbNo terhadap BER adalah dengan adanya pengkodean kanal dalam sistem tersebut [3]. Pengkodean kanal atau *channel coding* merupakan teknik untuk menambahkan bit redundansi untuk melindungi bit informasi yang dapat dimanfaatkan oleh penerima untuk mengatasi pengaruh derau dan interferensi ketika melewati kanal. Bit redundansi tersebut memungkinkan penerima mendeteksi dan mengoreksi kesalahan [4].

Teknik pengkodean kanal yang direkomendasikan oleh The Consultative Committee for Space Data System (CCSDS) diantaranya *convolutional coding* (rate $\frac{1}{2}$) dan *turbo coding* (rate $\frac{1}{2}$ dan $\frac{1}{3}$) [5]. Pada tugas akhir ini dilakukan simulasi untuk membandingkan performansi sistem komunikasi nano satelit arah downlink tanpa *channel coding*, dengan *turbo coding* (rate $\frac{1}{3}$ dan $\frac{1}{2}$), dan dengan *convolutional coding* (rate $\frac{1}{2}$) untuk pengiriman gambar melalui satelit sesuai dengan rekomendasi CCSDS dengan modulasi QPSK. Rate tersebut dipilih karena memiliki tingkat kompleksitas rangkaian yang lebih rendah dibandingkan rate yang lain jika diimplementasikan. Hasil simulasi encoder terbaik akan diimplementasikan ke bahasa pengkodean *VHSIC Hardware Description Language* (VHDL) pada software Xilinx ISE 14.5. Setelah *prototype* sistem berhasil dirancang, selanjutnya di-load pada board FPGA ATLYS Spartan-6 XC6SLX45 CSG324C yang digunakan sebagai salah satu pusat pemrosesan satelit nano.

2. DASAR TEORI

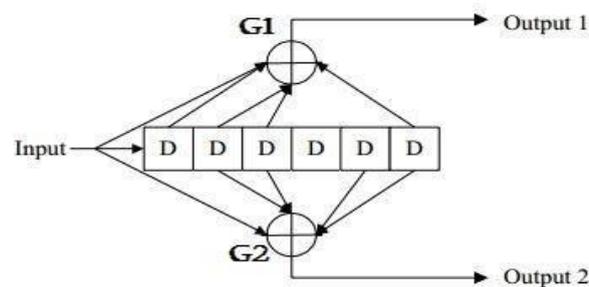
2.1 Satelit Nano

Satelit nano merupakan jenis satelit buatan yang memiliki masa kurang dari 10 kg [2]. Satelit nano memiliki orbit sekitar 160-2500 km di atas permukaan bumi atau sering disebut dengan orbit LEO (*Low Earth Orbit*) [6]. Pada orbit LEO memiliki karakteristik umum antara lain :

1. Kedudukannya tidak tetap terhadap setiap titik di bumi.
2. Periode revolusinya lebih cepat dari periode rotasi bumi.
3. Arah putarnya bebas, tidak selalu mengikuti arah revolusi bumi.

2.2 Convolutional code

Convolutional code merupakan salah satu metode pengkodean kanal yang banyak diimplementasikan pada teknologi saat ini. Sistem yang mengimplementasikan pengkodean kanal *convolutional code* adalah LTE dan sistem komunikasi satelit. Metode *convolutional code* ini telah terbukti lebih baik disisi *coding gain* dibandingkan dengan Linear blok code [7]. Secara umum blok convolutional code terdiri dari convolutional encoder dengan *convolutional decoder*. Algoritma *convolutional decoder* yang digunakan adalah algoritma veterbi. Berikut ini merupakan blok convolutional code rate $\frac{1}{2}$ yang merupakan salah satu standar CCSDS.

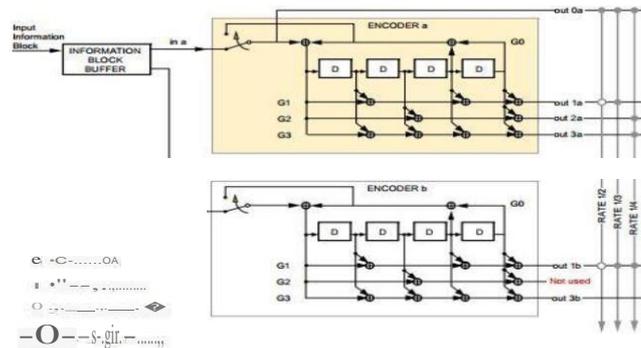


Gambar 1 (2,1,7) Convolutional Encoder [1]

Sesuai gambar 2.2 jika masuk sejumlah k informasi, maka outputnya sejumlah $2k$, yang menunjukkan rate sebuah convolutional encodernya $\frac{1}{2}$. $G1$ dan $G2$ pada gambar diatas merupakan generator matriks yang akan menentukan bit output 1 dan output 2. Sesuai rekomendasi CCSDS, $G1$ dan $G2$ untuk *convolutional code* adalah bilangan oktal 171 dan 133.

2.2 Turbo Code

Turbo Code merupakan metode pengkodean kanal yang tepat diterapkan pada kanal tingkat derau tinggi, contohnya pada satelit nano. Performansi yang bagus memungkinkan pengiriman sinyal dengan level daya sangat rendah. Secara *turbo code* merupakan *Parallel Concatenated Convolutional Code* (PCCC) yang merupakan kombinasi *Recursive Systematic Convolutional* (RSC) codes dengan internal interleaver. Encoder RSC dibangun dari encoder *Nonrecursive NonSystematic Convolutional* (NSC) yang didapatkan dengan mengumpalbalikkan salah satu keluaran yang dikodekan menjadi masukan. Rekomendasi standar CCSDS skema encoder RSC dengan rate $\frac{1}{2}$, $\frac{1}{3}$, $\frac{1}{4}$, dan $\frac{1}{6}$ dapat dilihat pada gambar 2 [5].



Gambar 2 Skema Turbo encoder constraint length 5 [5]

Pada **gambar 2** untuk turbo code rate 1/3 g_a [10011] dan g_b [11011]. Kedua constituent codes dibangkitkan oleh sistematis encoder umpan balik yang sama dimana generator matriksnya yaitu [8]:

$$g(D) = [1 \quad 1+D^1+D^3+D^4 \quad 1+D^3+D^4]$$

Pada encoder RSC, g_a merupakan representasi dari polinomial umpan balik dan g_b merupakan representasi polinomial bit tambahannya.

Pada tugas akhir ini besarnya matriks interleaver yang digunakan adalah 8 (kolom) x 223 (baris). Rate yang diuji adalah 1/2 dan 1/3 karena memiliki kompleksitas yang lebih rendah dibandingkan yang lain pada tahap implementasi.

2.3 VHDL

VHDL adalah sebuah bahasa pemrograman *Very High Speed Integrated Circuit* (VHSIC) yang dikembangkan oleh *Institute of Electrical and electronic Engineering* (IEEE). VHDL termasuk bahasa pemodelan yang digunakan untuk merancang atau memodelkan rangkaian digital. Secara umum struktur dari pemrograman VHDL terdiri dari dua bagian, yaitu bagian *entity* dan bagian arsitektur. Bagian *entity* menjelaskan spesifikasi pin-pin eksternal yang digunakan dari sirkuit atau rancangan yang akan dibuat. Sedangkan arsitektur, menjelaskan atau mewakili fungsi sesungguhnya dari sirkuit atau rangkaian.

2.4 FPGA

FPGA sendiri juga merupakan IC tipe HDL yang mana pemakai dapat mendesain *hardware* sesuai yang diinginkan di dalam IC FPGA. Sedangkan perkembangan FPGA pada saat ini berlangsung dengan cepat dan dewasa ini terdapat bermacam-macam keluarga FPGA dengan kebutuhan perancangan dan perangkat perancangan (*design tools*) yang berbeda. Xilinx merupakan salah satu perusahaan yang memproduksi FPGA. Pada tugas akhir ini, FPGA yang digunakan adalah ATLYS Spartan-6 XC6SLX45 CSG324C karena dimensi tergolong kecil dan harga relatif murah sehingga cocok digunakan sebagai *onboard processing* satelit nano.

3. Desain dan Realisasi Sistem

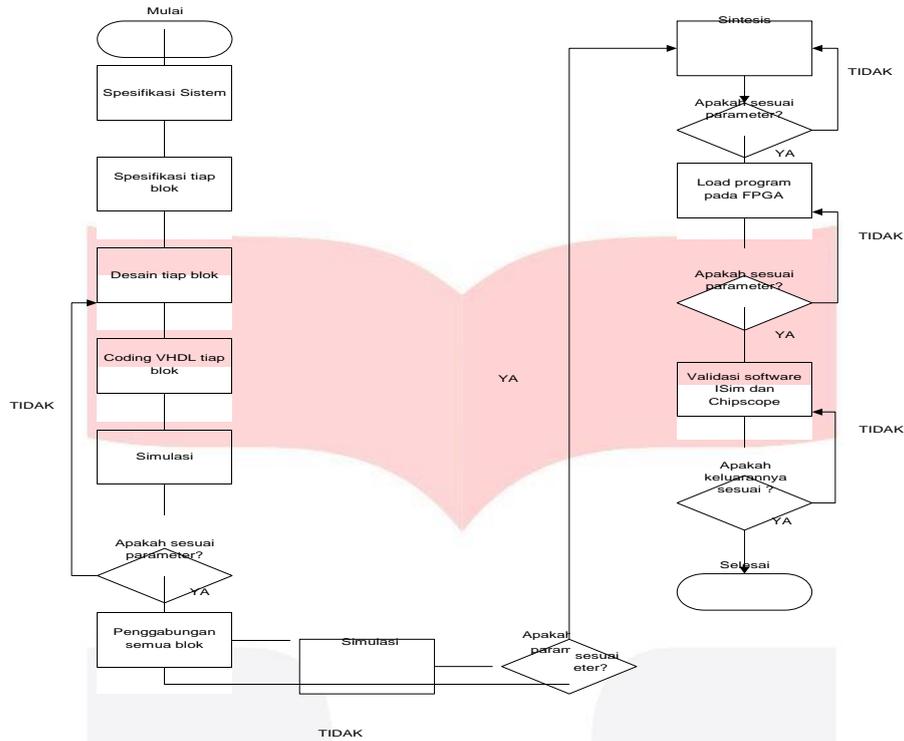
Pada tugas akhir ini telah dilakukan analisis perbandingan E_b/N_0 terhadap BER 10^{-6} dengan pengkodean kanal turbo code rate 1/3 dan 1/2, convolutional code 1/2, dan tanpa pengkodean kanal pada kanal AWGN. Bit yang dibangkitkan pada simulasi sebanyak 491520 [9]. Hasil Simulasi matlab ditunjukkan pada tabel berikut ini.

Tabel 1 Performansi Pengkodean kanal pada Matlab

Pengkodean	E_b/N_0 (dB)	Coding Gain (dB)
Uncoded	16.6458	Referensi
Turbo code R=1/3	5.55	11.0958
Turbo code R=1/2	9.67	6.9758
Convolutional code R= 1/2	9.45	7.1958

Dari hasil simulasi yang telah dilakukan, didapatkan bahwa encoder yang menunjukkan performansi paling baik pada BER 10^{-6} adalah turbo code dengan rate 1/3. Karena pada rate tersebut memiliki E_b/N_0 paling kecil dibanding pengkodean yang lain, yaitu 5.55 dB. Oleh karena itu, encoder yang diimplementasikan pada FPGA adalah turbo encoder dengan rate 1/3.

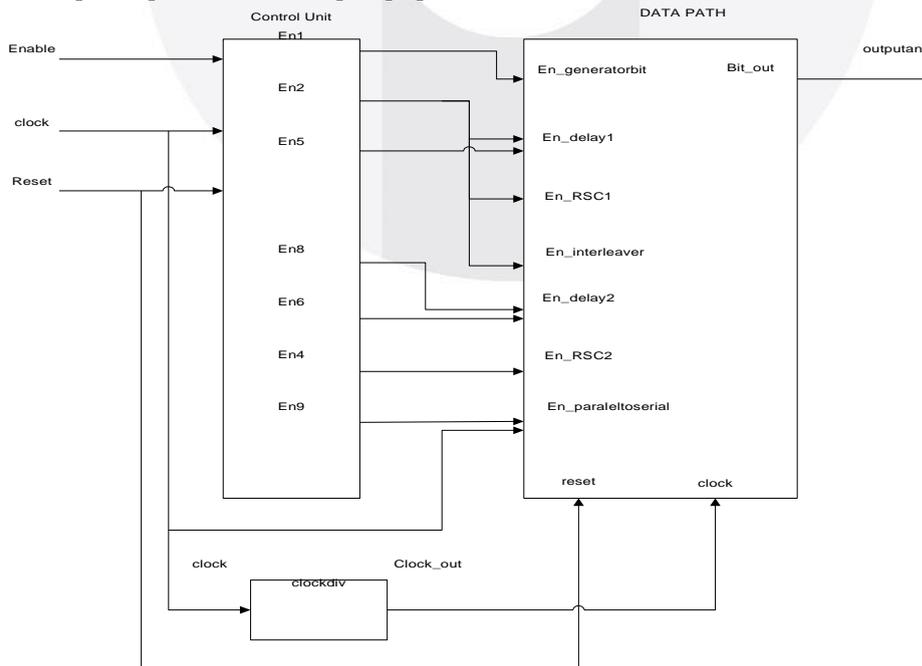
Berikut adalah diagram blok dari perancangan Turbo Encoder dengan rate 1/3:



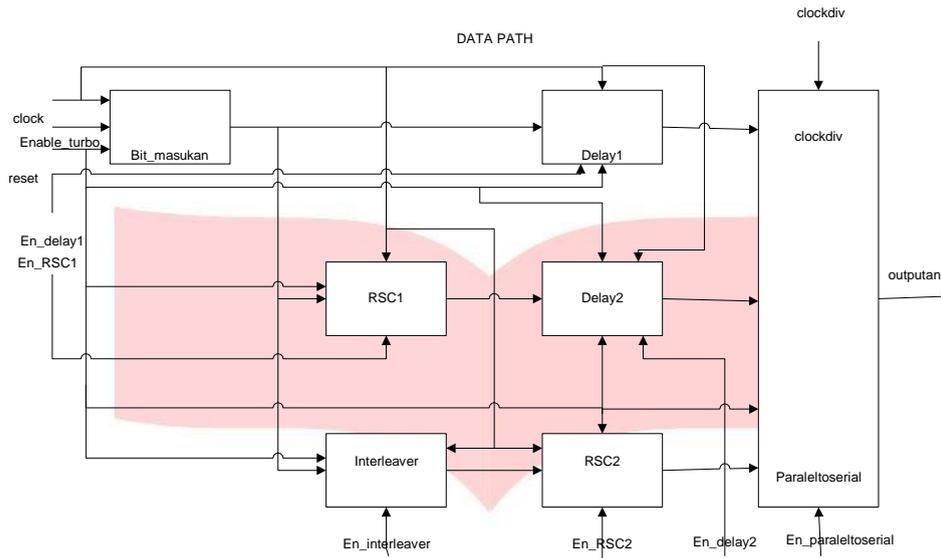
Gambar 3 Alur perancangan sistem turbo encoder pada FPGA

3.1 Perancangan Turbo Encoder Pada FPGA

Gambar 4 dan gambar 5 merupakan rancangan skematik sistem Turbo encoder yang akan dibuat. Top modul blok turbo encoder terdiri dari dua sub modul, yaitu control unit dan datapath. Masukan dari top modul adalah clock sebagai penanda sistem dimulai, clk_ena sebagai sinyal pengendali untuk blok control unit, reset untuk mengembalikan kondisi awal. Blok control unit berfungsi untuk mengatur sinyal pengendali pada tiap komponen datapath. Blok datapath berfungsi untuk mengatur bit-bit yang akan diolah. Outputan sistem berupa bit yang akan ditampilkan pada software chipscope pada Xilinx.



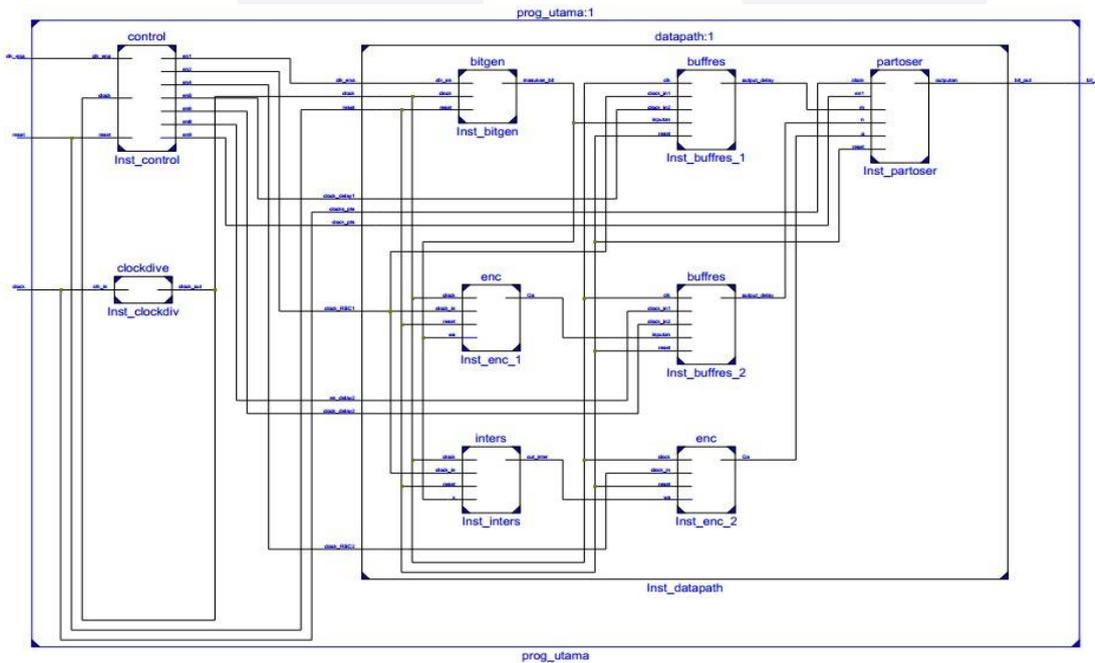
Gambar 4 Rancangan Top Modul Turbo Encoder



Gambar 5 Rancangan Sub Modul Datapath

4.2 Pengujian Hasil Implementasi Turbo Encoder

Hasil sintesis menunjukkan bahwa hasil skematik sistem telah sesuai dengan hasil rancangan sistem. Berikut ini merupakan gambar skematik sistem Turbo encoder. Masing-masing keluaran control unit terhubung langsung dengan tiap komponen pada sub modul datapath.



Gambar 6 Skematik Sistem Top Modul Turbo Encoder

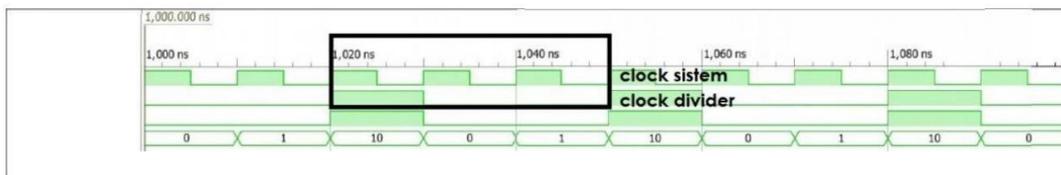
Hasil sintesis untuk skematik sistem telah sesuai dengan rancangan sistem pada gambar 4 dan gambar 5.

Pengujian sistem ini dilakukan dengan melihat keluaran sinyal dari sub modul control unit dan sub modul datapath. Berikut ini merupakan hasil pengujian tiap modul pada arsitektur.

4.2.1 Pengujian Sub Modul Clock Divider

Sub modul clock divider merupakan blok yang berfungsi clock masukan untuk sub modul datapath dan control unit. Sub modul clock divider digunakan untuk menurunkan periode bit tiga kali lebih lambat daripada periode clock sistem FPGA. Blok ini terdiri dari satu port masukan, dua sinyal, dan satu port keluaran. Port masukan pada control unit adalah clock. Port clock merupakan port yang digunakan sebagai penanda dimulainya

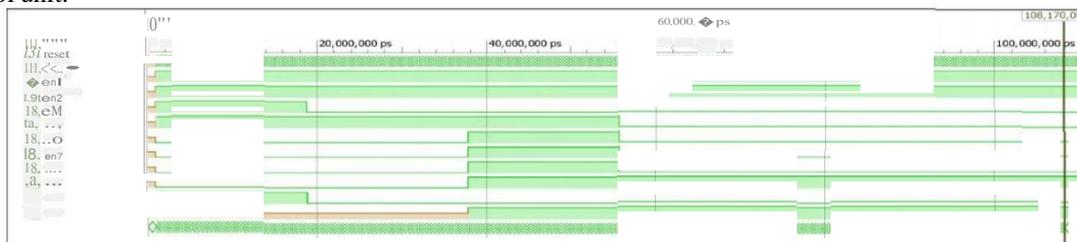
sistem yang dihubungkan langsung dengan clock FPGA port "L15". Sinyal pada sub modul ini terdiri dari temp dan count. Fungsi dari sinyal count ini sebagai counter untuk menghitung dari 0 sampai 2. Fungsi dari temp ini sebagai sinyal sementara yang akan dikeluarkan oleh blok clock divider ini. Sinyal temp ini akan menunjukkan waktu *rising* dan *falling edge*.



Gambar 7 Hasil Simulasi Clock divider

4.2.2 Pengujian Sub Modul Control Unit

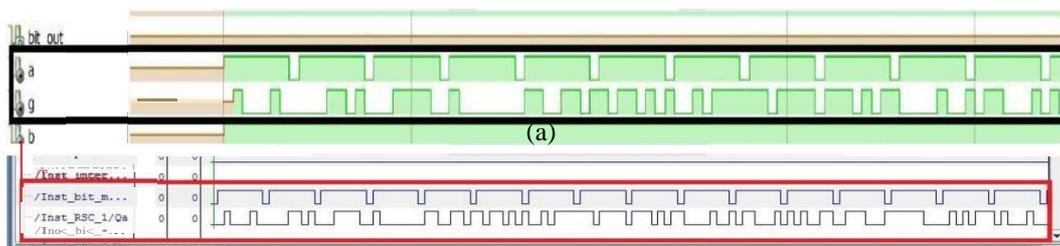
Sub modul control unit merupakan blok yang berfungsi sebagai sinyal pengendali atau enable untuk blok datapath. Blok ini terdiri dari tiga port masukan, satu sinyal, dan delapan port keluaran. Port masukan pada control unit adalah clock, reset, dan clk_ena. Sinyal pada blok ini berfungsi sebagai counter untuk mengaktifkan masing-masing sinyal pengendali yang dipilih. Port keluaran pada blok ini adalah en1,en2,en4,en5,en6,en7,en8, dan en9. Port en1 merupakan sinyal pengendali untuk mengaktifkan komponen bit_masukan pada sub modul datapath. Port en1 akan aktif saat counter bernilai 1 sampai 1785. Port en2 merupakan sinyal pengendali untuk mengaktifkan komponen delay_1 untuk menyimpan bit, RSC_1 untuk mengacak bit, dan interleaver untuk menyimpan bit pada sub modul datapath. Port en2 akan aktif saat counter bernilai 2 sampai 5462. Port en8 merupakan sinyal pengendali untuk mengaktifkan komponen delay2 pada sub modul datapath saat menyimpan bit. Port ini akan aktif saat counter bernilai 3 sampai 1787. Port en4 merupakan sinyal pengendali untuk mengaktifkan komponen RSC_2 pada sub modul datapath. Port en4 akan aktif saat counter bernilai 3680 sampai 5483. Port en4 merupakan sinyal pengendali untuk mengaktifkan komponen delay1 untuk mulai mengeluarkan bit yang disimpan. Port en5 akan aktif saat counter bernilai 3680 sampai 5483. Port en5 merupakan sinyal pengendali untuk mengaktifkan komponen interleaver pada datapath untuk mulai mengeluarkan bit yang telah teracak. Port en6 akan aktif saat counter bernilai 3680 sampai 5483. Port en6 merupakan sinyal pengendali untuk mengaktifkan komponen delay2 untuk mulai mengeluarkan bit yang disimpan. Port en9 merupakan sinyal pengendali untuk mengeluarkan outputan pada komponen paralel to serial pada sub modul datapath. Berikut ini merupakan hasil simulasi dari sub modul control unit.



Gambar 8 Hasil Simulasi Control Unit

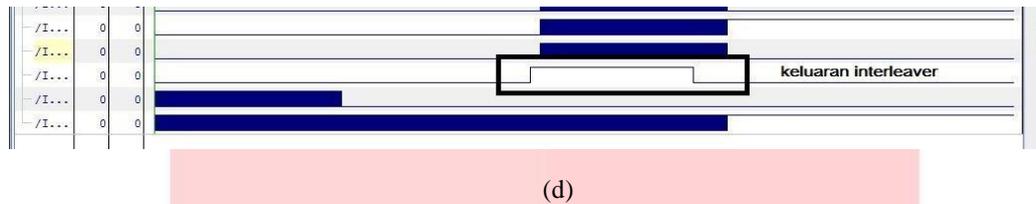
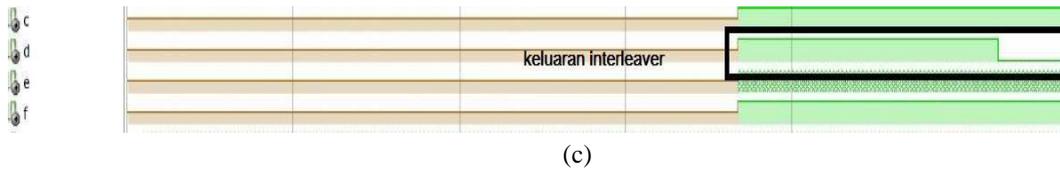
4.2.3 Pengujian Sub Modul Datapath

Sub modul datapath ini terdiri dari enam komponen penyusun, yaitu generator bit, delay1, delay2, RSC1, RSC2, dan paralel to serial. Masing- masing komponen diaktifkan oleh sinyal keluaran dari sub modul control unit. Hasil sinyal keluaran pada masing-masing komponen telah sama antara hasil simulasi dengan hasil implementasi. Berikut ini merupakan hasil keluaran dari masing-masing komponen pada sub modul datapath.

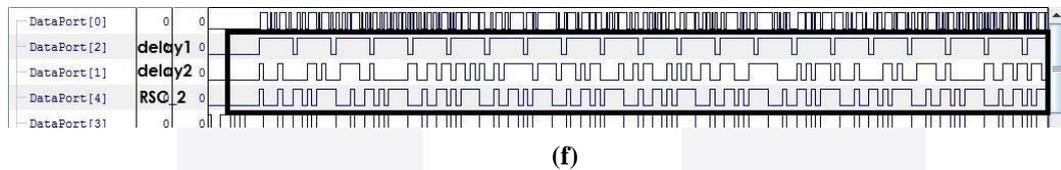
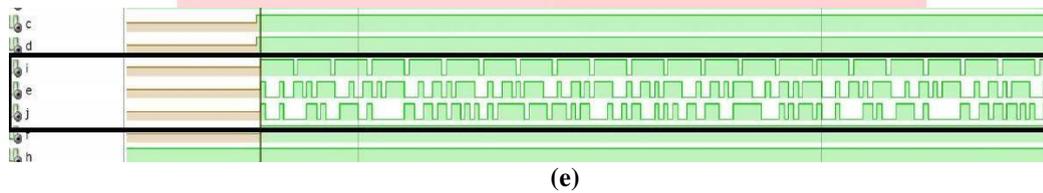


(b)

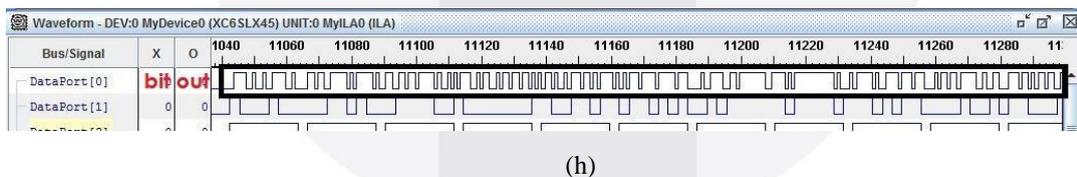
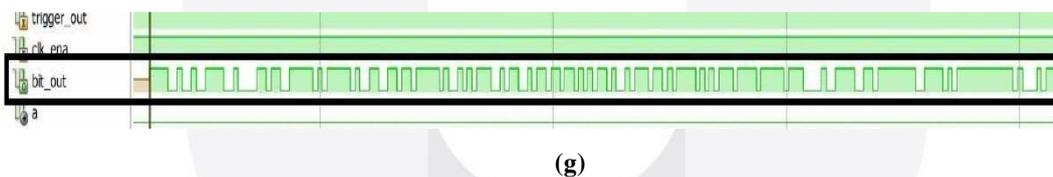
Gambar 9 (a) Hasil Keluaran ISim (b) Hasil keluaran chipscope untuk blok bit_masukan dan RSC_1



Gambar 10 (c) Hasil Keluaran Isim (d) Hasil Keluaran Chipscope Untuk blok interleaver



Gambar 11 (e) Hasil Keluaran Isim (f) Hasil Keluaran Chipscope Untuk blok delay_1, delay_2, dan RSC_2



Gambar 12 (g) Hasil Keluaran Isim (h) Hasil Keluaran Chipscope Untuk blok paralel to serial

4.2.4 Hasil Implementasi Top Modul Turbo Encoder pada FPGA

Untuk mengetahui program yang dibuat dapat dijalankan dan berhasil terimplementasi, maka digunakan sebuah software chipscope yang terdapat pada xilinx. Pada pengujian menggunakan chipscope, didapatkan bahwa sinyal keluaran pada setiap blok penyusun Turbo encoder telah berhasil terbaca dan terverifikasi dengan baik yang dibuktikan pada **gambar 11**. Pada simulasi ISim, delay proses sistem blok turbo encoder adalah 110.430 ns atau 11.043 clock. Hasil perancangan berhasil disintesis dengan *resources* FPGA yang terpakai untuk sistem *Turbo Encoder* adalah 0.0044% *Number of Slice Registers*, 3% *Number of Slice LUTs*, 25% *Number of fully used LUT-FF*, 1% *Number of bounded IOBs*, dan 12% *Number of BUFG/ BUFGCTRL/ BUFGHCEs*. Hasil sintesis sistem yang dirancang menunjukkan periode minimum 5.913 ns dan frekuensi clock maksimal yang dapat dicapai FPGA yaitu 169.122 MHz. Berikut ini merupakan hasil simulasi untuk mengetahui delay proses sistem.



Gambar 13 Delay proses sistem

5 Kesimpulan

Berdasarkan hasil penelitian dan analisa yang dilakukan, maka dapat ditarik kesimpulan sebagai berikut:

1. Untuk mencapai unjuk kerja BER 10^{-6} , EbNo yang dibutuhkan *turbo code rate* $\frac{1}{2}$ sebesar 9.67 dB sedangkan *convolutional code rate* $\frac{1}{2}$ sebesar 9.45 dB.
2. Untuk mencapai unjuk kerja dengan BER 10^{-6} , *turbo code rate* $\frac{1}{3}$ membutuhkan EbNo lebih kecil dibandingkan *turbo code rate* $\frac{1}{2}$ dan tanpa pengkodean kanal. EbNo yang dibutuhkan *turbo code rate* $\frac{1}{2}$ sebesar 9.67 dB, *turbo code rate* $\frac{1}{3}$ sebesar 5.55 dB, dan tanpa pengkodean kanal sebesar 16.6458dB.
3. Semakin kecil rate pada *turbo code* menunjukkan kinerja yang semakin baik. Hal ini dibuktikan dengan hasil simulasi *turbo code rate* $\frac{1}{3}$ coding gain EbNo yang didapatkan sebesar 11.0958 dB sedangkan hasil simulasi *turbo code rate* $\frac{1}{2}$ coding gain EbNo yang didapatkan sebesar 6.9758 dB.
4. Perancangan *prototype Turbo Encoder* dengan coderate $\frac{1}{3}$ telah berhasil dilakukan dan diimplementasikan pada *board* ATLYS Spartan-6 XC6SLX45 CSG324C. Dari hasil simulasi, sistem dapat menjalankan fungsi dengan delay proses 110.430 ns atau 11.043 *clock* karena periode *clock* yang dimasukkan pada simulasi adalah 10ns.
5. Hasil perancangan berhasil disintesis dan *resources* FPGA yang terpakai untuk sistem *Turbo Encoder* adalah 0.0044% *Number of Slice Registers*, 3% *Number of Slice LUTs*, 25% *Number of fully used LUT-FF*, 1% *Number of bounded IOBs*, dan 12% *Number of BUFG/ BUFGCTRL/ BUFGHCEs*. Dengan persentase tersebut maka sistem yang dirancang bisa diimplementasikan ke FPGA Spartan6 dan dengan utilisasi *resource* yang tersisa masih bisa digunakan untuk mengimplementasikan blok transmitter lainnya seperti *source encoder* dan modulator.

DAFTAR PUSTAKA

- [1] L. Tianjun dan D. Wenrui , “Typical Channel Coding and Modulation Scheme for Satellite Communication System,” dalam *8th International Symposium on Antennas, Propagation and EM Theory, 2008. ISAPE 2008.* , Kunming, 2008.
- [2] D. Cahyono, “Design and realization camera controller for a Remote Sensing Payload of nanosatellite FPGA (Field Programmable Gate Array) system based,” dalam *2013 6th International Conference on Recent Advances in Space Technologies (RAST)*, Istanbul, 2013.
- [3] S. Haykin, *Communication Systems* 4th Edition, John Wiley & Sons, Inc, 2001.
- [4] G. Wibisono dan L. Sari, *Teknik Pengodean Sistem Komunikasi Dijital*, Bandung: Rekayasa Sains, 2011.
- [5] CCSDS, “CCSDS Recommended Standard For TM Synchronization And Channel Coding (bluebook),” CCSDS Secretariat, Washington DC, 2011.
- [6] J. Louis J. Ippolito, *Satellite Communication System Engineering.*, Washington, DC: A John Wiley and Son, Ltd, Publications, 2008, p. 1.
- [7] V. G. Jadhao dan P. D. Gawande, “Performance Analysis of Linear Block Code, Convolution code , and Concatenated code Study Their Comparative Effectiveness,” *IOSR Journal of Electrical and Electronics Engineering (IOSRJEEE)*, vol. 1, no. 1, pp. 53-61, 2012.
- [8] S. J. Johnson, *Iterative Error Correction*, Cambridge: Cambridge University Press, 2010.
- [9] A. Paulus, “Analisis Efek Doppler Pada Sistem Komunikasi ITS-SAT,” *Jurnal Teknik POMITS*, vol. 2, pp. A223-A228, 2013.

