

REGULASI TEGANGAN PADA KONVERTER SEPIC DENGAN METODE FUZZY LOGIC

FUZZY LOGIC METHOD BASED SEPIC CONVERTER VOLTAGE REGULATOR

Albiyansyah Ibnu Gemilang¹, Irwan Purnama², Bandiyah Sri Aprillia³

^{1,2,3} Universitas Telkom, Bandung

albigemilang@student.telkomuniversity.ac.id¹, irwanpurnama@telkomuniversity.ac.id², bandiyah@telkomuniversity.ac.id³

Abstrak - Konverter merupakan salah satu perkembangan teknologi elektronika yang berfungsi merubah tegangan. Konverter memiliki beberapa jenis salah satunya konverter SEPIC yang merupakan penyempurnaan dari konver *buck-boost* yang berfungsi untuk menaikkan atau menurunkan tegangan, Pada penelitian tugas akhir ini akan dirancang sebuah purwarupa konverter sepic beserta sistem kendali tegangan outputnya. Purwarupa konverter yang dirancang memiliki spesifikasi daya maksimum 35 dan tegangan output yang dihasilkan mendekati *set point*. Hal ini dicapai karena *fuzzy logic control* yang diranrang bekerja dengan baik dan mampu mengendalikan nilai *duty cycle*, dimana dari hasil pengujian menggunakan *fuzzy logic control* yang dirancang pada saat *transient*, *rise time* yang dicapai yaitu 11.1 ms dengan *settling time* 120 ms, *overshoot* sebesar 16.4 V, dan *steady state error* sebesar ± 0.3 V atau 0.05 % dari *set point*. *Fuzzy logic control* yang dirancang pun dirancang cukup tangguh terhadap *disturbance* yang disebabkan oleh perubahan beban.

Kata Kunci : Konverter Sepic, Fuzzy Logic Control, Tegangan

Abstarct - Converter is one of the developments in electronic technology that serves to change the voltage. Converters have several types of sepic converters which are refinements of the buck-boost conver that serves to increase or decrease the voltage, In the final task research will be designed a prototype sepic converter along with its output voltage control system. The converter prototype designed has a maximum power specification of 35 and the resulting output voltage is close to the set point. This is achieved because fuzzy logic control the designed works well and able to control the value duty cycle, where from the test results using fuzzy logic control designed at the time of transient, rise time the achieved is 11.1 ms with a settling time of 120 ms, overshoot of 16.4 V, and steady state error of ± 0.3 V or 0.05% of set points. The fuzzy logic control designedis also designed to be quite resilient to disturbances caused by load changes.

Keywords : Sepic Converte, Voltage, Fuzzy Logic Control

1. PENDAHULUAN

Pada penelitian ini akan dirancang sebuah purwarupa konverter tipe sepic dan sebuah kendali nilai *duty cycle* berdasarkan pembacaan sensor tegangan dengan menggunakan metode Fuzzy Logic untuk mengontrol nilai *duty cycle* agar tegangan output pada konverter sepic stabil dan sesuai dengan yang diinginkan.

Pada saat ini teknologi telah berkembang dan selalu meningkat salah satunya pada teknologi elektronika, seperti konverter yang dapat merubah tegangan. Untuk mendapatkan tegangan yang konstan atau stabil merupakan hal yang sangat penting untuk menghasilkan suplai daya. Tetapi terdapat beberapa faktor yang dapat mempengaruhi kestabilan tegangan salah satunya adalah perubahan beban. Oleh karena itu dibutuhkan sebuah regulator tegangan yang dapat menjaga agar tegangan yang dihasilkan dapat konstan atau stabil yang dapat dikendalikan secara digital atau analog. Penelitian terdahulu oleh Achmad Komarudin (2014) Desain dan analisis proporsional kontrol buck-boost converter pada sistem fotovoltaik dengan metode PID menghasilkan respon sebesar 0.5s dan terdapat *overshoot* pada keluaran *buck-boost converter* [1].

Pada tugas akhir ini dirancang sebuah konverter untuk menaikkan atau menurunkan tegangan, untuk mencapai hal tersebut maka digunakan konverter berjenis SEPIC. Konverter sepic merupakan pengembangan dari buck boost converter. Konverter sepic merupakan salah satu jenis konverter dc-dc, dimana konverter jenis ini dapat menaikkan dan menurunkan tegangan yang dikendalikan oleh *duty cycle* dari kontrol MOSFET [2]. Kelebihan Konverter sepic

dengan *buck boost converter* dan yang lain adalah polaritas tegangan luarannya yang sama dengan polaritas tegangan masukannya, sementara konverter *buck boost* dan CUK memiliki polaritas yang terbalik [3]. Kelebihan dari konverter sepic juga yaitu *ripple* tegangan yang rendah seperti konverter CUK dan memiliki pengaman rangkaian melalui kapasitor apabila *switch* tidak berfungsi.

Pada penelitian ini akan dirancang sebuah purwarupa konverter tipe sepic dan sebuah kendali nilai *duty cycle* berdasarkan pembacaan sensor tegangan dengan menggunakan metode Fuzzy Logic untuk mengontrol nilai *duty cycle* agar tegangan output pada konverter sepic stabil dan sesuai dengan yang diinginkan.

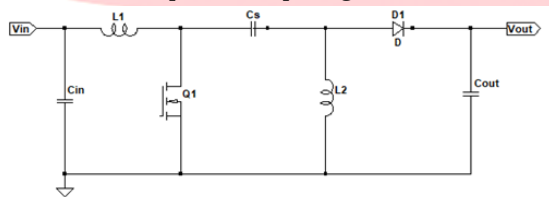
2. TINJAUAN PUSTAKA

2.1 Konverter Sepic

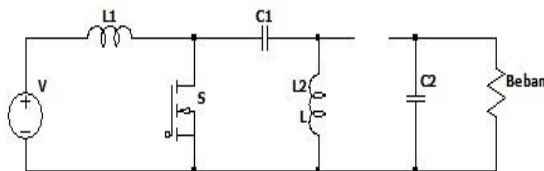
Konverter pada dasarnya berfungsi untuk menaikkan tegangan (*boost converter*) atau menurunkan tegangan (*buck converter*), tetapi dalam beberapa kondisi dibutuhkan sebuah konverter untuk menaikkan dan menurunkan tegangan, maka dari itu tercipta konverter sepic yang dibuat atas pengembangan dari konverter sebelumnya seperti $\rightarrow$ buck, boost, buck boost, dan CUK [2]. Konverter sepic terbentuk dari konverter jenis buck yang memiliki fungsi untuk menurunkan tegangan lebih rendah dari tegangan masukan. Lalu diperoleh konverter jenis boost yang memiliki fungsi menaikkan tegangan lebih besar dari tegangan masukannya.

Kemudian dengan kombinasi dari kedua konverter tersebut terbentuklah konverter buck boost yang dapat menaikkan dan menurunkan tegangan. Konverter sepic merupakan konverter DC-DC dengan tegangan keluaran yang lebih besar atau lebih kecil dari tegangan masuknya, kelebihan konverter sepic dibandingkan dengan konverter buck boost adalah polaritas tegangan keluarannya yang sama dengan polaritas tegangan masuknya, sedangkan buck boost memiliki polaritas kebalikannya [3].

Konverter sepic terdiri dari 2 buah induktor (L), 2 buah kapasitor (C), diode, dan Mosfet. Konverter sepic beroperasi pada mode CCM (*continuous conductio mode*) yang artinya arus yang melewati L1 tidak pernah bernilai 0 [2], dan konverter sepic memiliki dua kondisi operasi yaitu pada saat mosfet on dan off dapat dilihat pada gambar berikut :

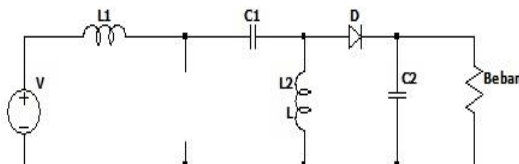


Gambar 2. 1 Rangkaian Dasar Konverter Sepic



Gambar 2. 2 Rangkaian Kondisi Mosfet On

Pada saat mosfet on seperti pada Gambar 2.2 maka Induktor L1 akan terisi dari tegangan masukan dan kapasitor C1 akan mengisi induktor L2, maka pada saat ini tidak ada yang masuk ke kapasitor keluaran [4].



Gambar 2. 3 Rangkaian Kondisi Mosfet Off

Pada saat mosfet off seperti Gambar 2.4 daya dikirimkan kebeban dari kedua induktor L1 dan L2 , kapasitor kopling di charger oleh L1. Selama *cycle off* selanjut akan di charger lagi oleh L2 selama *on cycle* .Induktor L1 dan saklar Q1 akan menyebabkan konverter sepic menjadi *mode boost* [4].

2.1.1 Desain Konverter

Dalam merancang konverter, banyak parameter yang dibutuhkan agar perancangan menghasilkan hasil yang sesuai dengan target yang di inginkan. Berikut langkah dalam mendesain konverter sepic :

1. Menentukan *duty cycle*

$$D_{max} = \frac{V_{out} + V_D}{V_{in}(Min) + V_{out} + V_D} \quad (2.1)$$

$$D_{min} = \frac{V_{out} + V_D}{V_{in}(Max) + V_{out} + V_D} \quad (2.2)$$

Dimana D_{max} adalah *duty cycle* maksimal, D_{min} adalah *duty cycle* minimal dan V_D adalah tegangan drop dioda [5].

2. Induktor

$$\Delta I_L = I_{out} \times \frac{V_{out}}{V_{in}(min)} \times 40\% \quad (2.3)$$

Dimana ΔI_L merupakan arus *ripple* pada induktor, setelah itu menentukan besar nilai induktor berdasarkan dengan arus *ripple* dengan persamaan berikut [5] :

$$L_1 = L_2 = \frac{V_{in}(min) \times D_{max}}{\Delta I_L \times f_{sw}} \quad (2.4)$$

f_{sw} adalah frekuensi *switching* dan D_{max} adalah *duty cycle* maksimum dan $V_{in}(min)$ adalah tegangan input minimum. Arus puncak pada induktor untuk memastikan induktor agar tidak jenuh ditentukan dengan persamaan berikut ini [5].

$$I_{L1}(peak) = I_{out} \times \frac{V_{out} + V_D}{V_{in}(min)} \times \left(1 + \frac{40\%}{2}\right) \quad (2.5)$$

$$I_{L2}(peak) = I_{out} \times \left(1 + \frac{40\%}{2}\right) \quad (2.6)$$

3. Menentukan Dioda

Untuk menentukan diode dibutuhkan nilai tegangan drop diode dan nilai arus maju rata-rata dengan menggunakan persamaan berikut [5].

$$V_{RD} = V_{in}(max) + V_{out}(max) \quad (2.7)$$

Dimana V_{RD} adalah tegangan drop.

$$I_{Q1} = I_{L1}(peak) + I_{L2}(peak) \quad (2.8)$$

Pada persamaan diatas I_{Q1} adalah nilai arus maju rata-rata.

4. Menentukan Kapasitor

Kapasitor merupakan sebuah komponen yang berfungsi untuk menyimpan muatan, sebagai *filter* untuk mengurangi *ripple*, dan berperan untuk mentransfer energy. Untuk menentukan nilai kapasitor dapat menggunakan persamaan sebagai berikut.

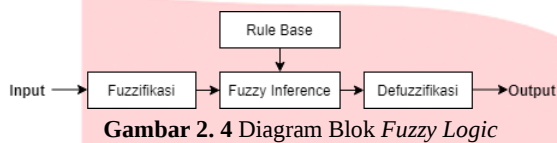
$$C \geq \frac{I_{out} \times D}{V_{ripple} \times 0.5 \times f_{sw}} \quad (2.9)$$

Dimana C adalah kapasitor, dan V_{ripple} adalah tegangan *ripple* kapasitor yang diasumsikan 2% dari tegangan output [5].

2.2 Fuzzy Logic Control

Fuzzy dalam Bahasa Inggris memiliki arti kabur atau tidak jelas, maka *fuzzy logic* adalah logika yang kabur / samar-samar atau mengandung unsur ke tidak pastian. Logika pada biasanya yaitu logika tegas hanya ada dua nilai yaitu salah atau benar, 0 atau 1, sedangkan *fuzzy logic* mengenal nilai diantara benar atau salah, *fuzzy logic* memiliki kemungkinan

nilai keanggotaannya diantara 0 dan 1 dan dalam bentuk *linguistic* (kata-kata) seperti “rendah”, “normal” dan “tinggi”. Kebenaran pada *fuzzy logic* bisa dinyatakan dalam derajat kebenaran yang bernilai diantara 0 dan 1 [9].

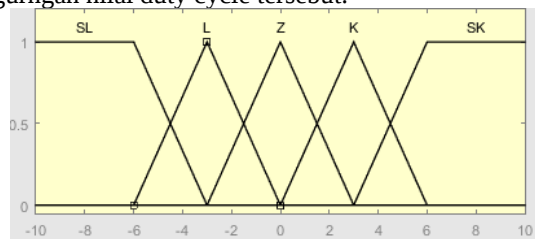


Gambar 2. 4 Diagram Blok Fuzzy Logic

Kontrol *fuzzy logic* terdapat beberapa tahapan atau langkah seperti pada gambar 2.4 yaitu fuzzifikasi, *fuzzy inference*, dan defuzzifikasi.

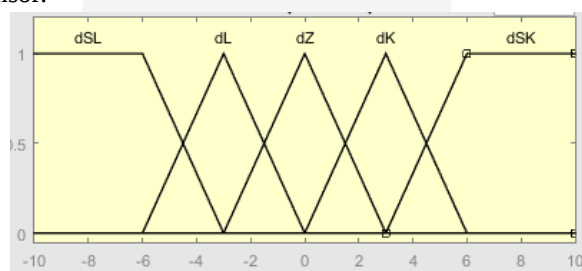
a. Fuzzifikasi

Pada proses ini merupakan tahapan awal dimana adalah proses pengubahan besaran bukan fuzzy (crisp) ke besaran fuzzy sehingga didapatkan derajat fungsi keanggotaan berdasarkan *membership function* yang sudah ditentukan [9]. Pada penelitian ini terdapat dua input yaitu error dan delta error. Dimana error adalah nilai untuk menentukan berapa nilai duty cycle dan input delta error merupakan pembanding untuk menentukan berapa besar penambahan atau pengurangan nilai duty cycle tersebut.



Gambar 2. 5 Fungsi Keanggotaan Error

Pada tugas akhir ini terdapat 5 keanggotaan dalam fungsi keanggotaan nilai error seperti pada gambar 2.5. Dimana error adalah hasil dari set point dikurangi pembacaan sensor.



Gambar 2. 6 Fungsi Keanggotaan Delta Error

Terdapat 5 keanggotaan dalam fungsi keanggotaan nilai delta error seperti Nilai delta error merupakan hasil dari pengurangan error terbaru dikurangi error sebelumnya dapat dilihat pada Gambar 2.6.

b. Fuzzy Inference

Fuzzy inference adalah proses mendapatkan aksi keluaran dari kondisi masukan dengan mengikuti aturan (rules) yang sudah diterapkan [10]. Pada perancangan fuzzy tugas akhir ini terdapat 5 domain *fuzzy rule yang* digunakan, yaitu Sangat Lebih (SL) dengan nilai 60, Lebih (L) dengan nilai 55, Zero (Z) dengan nilai 50, Kurang (K) dengan nilai 45, dan Sangat Kurang (SK) dengan nilai 41. dan metode

inference yang digunakan yaitu metode sugeno. Berikut table dari *fuzzy rule* yang telah dirancang adalah sebagai berikut :

Tabel 2. 1 Tabel Rule Fuzzy

Delta error						
error		SK	K	Z	L	SL
	SK	SK	SK	K	SL	SL
	K	SK	K	L	L	SL
	Z	K	K	Z	L	L
	L	SK	K	K	L	SL
	SL	SK	SK	L	SL	SL

c. Defuzzifikasi

Defuzzifikasi adalah proses pemetaan himpunan fuzzy menjadi keluaran crisp (non fuzzy) . keluaran ini berfungsi untuk aksi kendali [10]. Pada proses akhir atau defuzzifikasi ini output berupa konstanta dan pada proses ini menggunakan metode weight average, dimana metode ini mengambil nilai rata-rata dengan menggunakan nilai pembobotan berupa nilai derajat keanggotaan. Berikut ini persamaan untuk metode weight average :

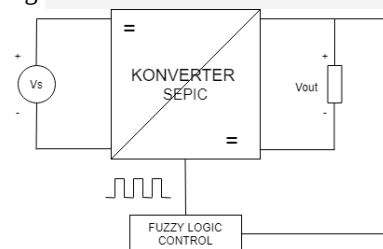
$$y^* = \frac{\sum \mu(y)y}{\sum \mu(y)} \quad (2.10)$$

Dimana y merupakan nilai crisp dan $\mu(y)$ adalah nilai derajat keanggotaan dari nilai crisp y.

3. Perancangan Sistem

3.1 Desain Sistem

Pada tugas akhir ini konfigurasi sistem merupakan hubungan dari beberapa komponen yang di konfigurasi sehingga alat dapat bekerja sesuai dengan tujuan yang ingin dicapai pada tugas akhir ini.

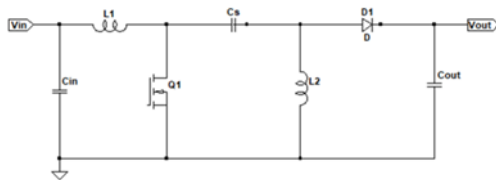


Gambar 3. 1 Desain Sistem

Pada Gambar 3.1 input berupa tegangan DC yang berasal dari *power supply* yang akan menjadi *input* pada konverter sepic, sensor akan membaca tegangan yang keluar dari konverter dan hasil pembacaan sensor akan menjadi data input dan akan diproses pada mikrokontroller yang berisikan program kendali *fuzzy logic*. hasil output dari kendali fuzzy pada mikrokontroller akan diproses kembali oleh konverter sepic agar tegangan yang dihasilkan sesuai dengan yang diinginkan.

3.2 Desain Perangkat Keras

a. Konverter Sepic



Gambar 3. 2 Rangkaian Konverter Sepic

Gambar 3.2 merupakan rangkaian dasar dari konverter sepic, dimana terdapat beberapa komponen yaitu Induktor, kapasitor, dan mosfet. Untuk mendesain konverter sepic maka pertama tentukan spesifikasi dari konverter, Berikut ini spesifikasi konverter sepic yang akan dibuat :

Tabel 3. 1 Spesifikasi Konverter Sepic

Parameter	Nilai
Power Rating	35 W
Tegangan Input	10 Volt – 22 Volt
Tegangan Output	15 Volt
Frekuensi Switching	35 kHz
Ripple Tegangan Ouput	2 %

Tabel 3.1 merupakan spesifikasi dari konverter yang akan dirancang, setelah itu yaitu menentukan komponen untuk merancang konverter sepic. Dengan menggunakan persamaan (2.1) sampai dengan (2.9) didapatkan daftar komponen sebagai berikut:

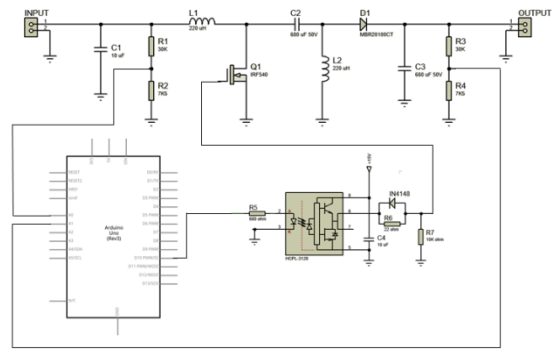
Tabel 3. 2 Daftar Komponen Konverter Sepic

Komponen	Nilai
Duty cycle maximum	0.605
Duty Cycle minimum	0.41
Induktor	85.757 μ H
Dioda	MBR20100CT.
Kapasitor	380.914 μ F
Switch/ MOSFET	IRF540
Driver MOSFET	HCPL-3120

Dikarenakan beberapa nilai seperti induktor dan kapasitor tidak tersedia dipasaran, maka untuk induktor menggunakan dengan nilai 220 μ H dan kapasitor 680 μ F. Untuk Mosfet menggunakan IRF540 karena dibutuhkan mosfet yang dapat bekerja dengan arus diatas 2A dan dirver mosfet HCPL-3120 karena driver mosfet tersebut memiliki waktu *switching* yang cepat yaitu 500 ns.

b. Wiring Diagram

Berikut ini adalah *wiring* diagram perancangan alat pada tugas akhir ini :

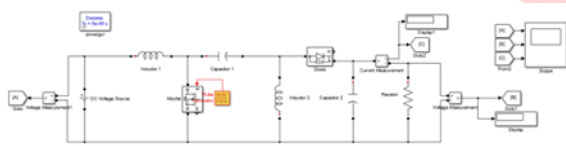


Pada gambar diatas diawali dengan mulai, lalu inisialisasi dan pembacaan sensor untuk input *fuzzy*, apabila pembacaan sensor $V_{in}=0$ maka proses selesai, apabila $V_{in} \neq 0$ maka hasil pembacaan sensor akan masuk proses kendali diawali dengan fuzzifikasi lalu masuk proses inference atau penentuan rule untuk mendapatkan output yang akan diproses defuzzifikasi. Output kontrol berupa nilai pwm yang akan menjadi inputan untuk mosfet.

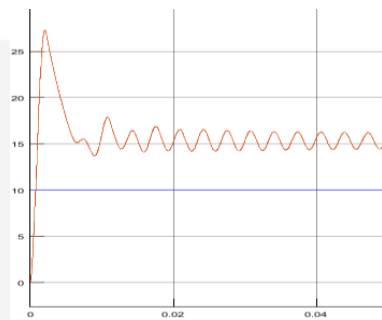
4. Hasil dan Pembahasan

4.1 Pengujian Simulasi Konverter Sepic

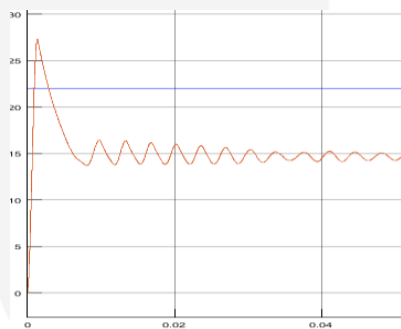
Pada pengujian ini menggunakan aplikasi *Simulink matla*. Dengan melakukan 2 pengujian yaitu dengan input 10 V dengan *duty cycle* 0.605 dan input 22 dengan *duty cycle* 0.41. Berikut hasilnya.



Gambar 4. 1 Rangkaian Simulasi Konverter Sepic



Gambar 4. 2 Hasil Simulasi Vin 10 V



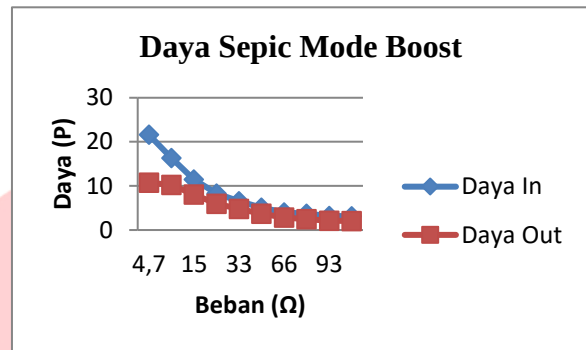
Gambar 4. 3 Hasil Simulasi Vin 22

Hasil simulasi didapatkan dengan V_{in} 10 V didapatkan V_{out} 14.96 V dengan keluaran sinyal pada gambar 4.2. dan dengan V_{in} 22 V didapatkan V_{out} 14.91 dengan sinyal keluaran pada gambar 4.3. hasil kedua pengujian mendekati nilai yang diinginkan yaitu 15V.

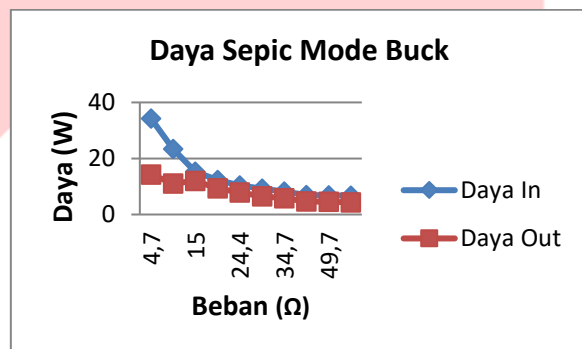
4.2 Pengujian Konverter Sepic

Pada pengujian ini bertujuan untuk mengetahui kinerja dari konverter sepic yang sudah dirancang dalam menaikkan (*boost*) dan menurunkan (*buck*) tegangan serta mengetahui efisiensi konverter. pada pengujian ini menggunakan input 10 V dan 22 V yang berasal dari *power supply* dengan

menggunakan beberapa nilai variasi beban.

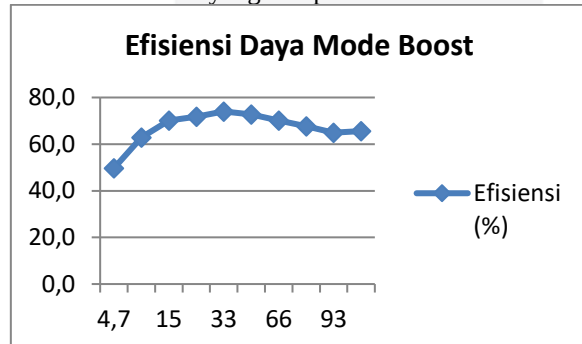


Gambar 4. 4 Grafik Beban Terhadap Daya Mode Boost

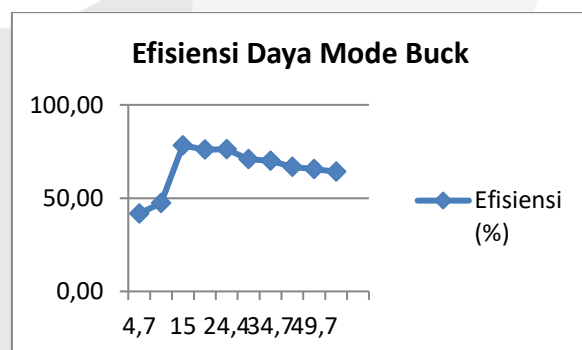


Gambar 4. 5 Grafik Beban Terhadap Daya Mode Buck

Dapat dilihat pada gambar 4.4 dan 4.5 nilai daya yang masuk dan keluar semakin kecil karena nilai arus yang semakin kecil hal itu disebabkan beban semakin besar. Berikut ini efisiensi yang didapatkan berdasarkan data diatas



Gambar 4. 6 Grafik Efisiensi Daya Mode Boost

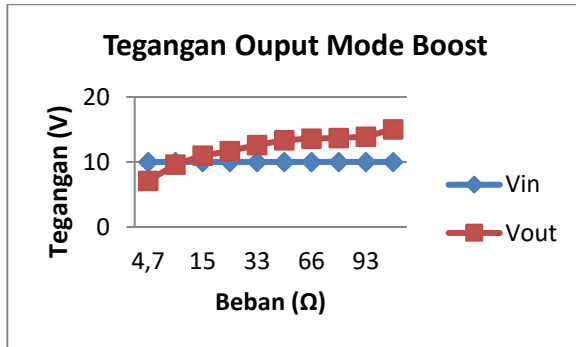


Gambar 4. 7 Grafik Efisiensi Daya Mode Buck

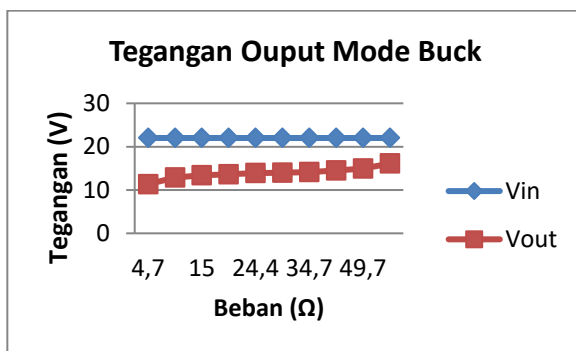
Efisiensi gambar diatas didapatkan dari persamaan berikut :

$$\eta = \frac{P_{out}}{P_{in}} \times 100\%$$

Berikut ini data pengujian pengaruh beban terhadap tegangan output. Berikut hasilnya :

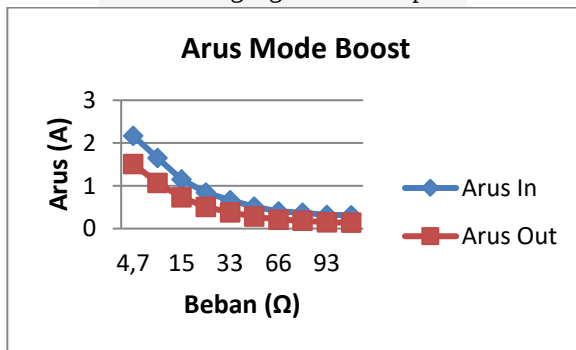


Gambar 4. 8 Grafik Beban Terhadap Tegangan Mode Boost

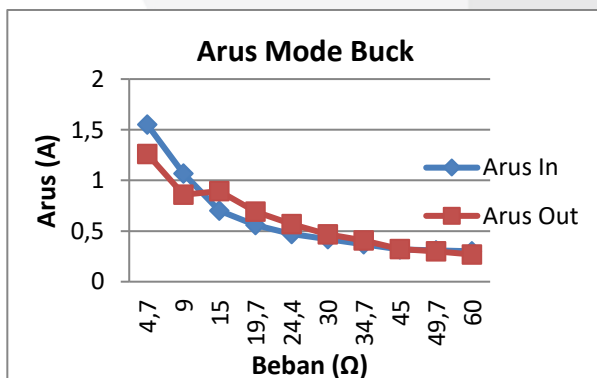


Gambar 4. 9 Grafik Beban Terhadap Tegangan Mode Buck

Dengan melihat gambar 4.8 dan 4.9 apabila beban semakin besar maka tegangan keluaran pun semakin besar.



Gambar 4. 10 Grafik Beban Terhadap Arus Mode Boost



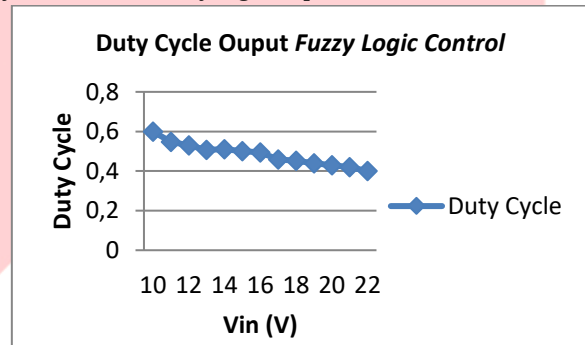
Gambar 4. 11 Grafik Beban Terhadap Arus Mode Buck

Dengan melihat gambar 4.10 dan 4.11 dapat diketahui bahwa semakin besar beban maka arus yang masuk dan

keluar akan semakin kecil dikarenakan apabila beban terlalu kecil maka rangkaian seperti short circuit dan menyebabkan arus bernilai besar.

4.3 Pengujian Konverter Dengan Fuzzy Logic Control

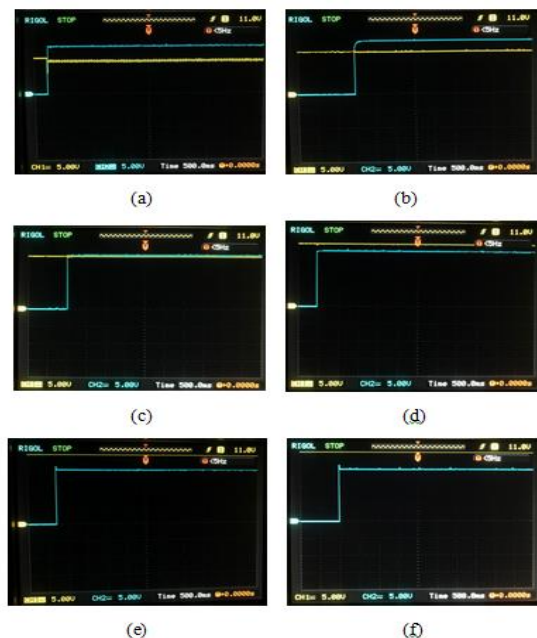
Pengujian ini bertujuan untuk mengetahui kinerja *fuzzy logic* dalam mengendalikan tegangan pada konverter yang sudah dirancang. Ouput dari *fuzzy logic* berupa nilai *duty cycle*. Berikut data yang didapatkan



Gambar 4.12 Grafik Nilai Duty Cycle Terhadap Vin

Gambar 4.12 merupakan grafik nilai duty cycle yang merupakan output dari *fuzzy logic control* berdasarkan nilai input pada konverter sepic. Beberapa nilai duty cycle yang didapatkan terdapat selisih sekitar 0.05 s/d 0.3 dengan nilai duty yang dihitung secara manual yang menggunakan persamaan (2.1) dan (2.2)

Berikut sinyal pengukuran tegangan input dan output konverter pada konverter sepic dilihat dengan menggunakan osiloskop :



Gambar 4. 13 Hasil Pengukuran Tegangan Vout (a) Vin 10 V (b) Vin 12 V (c) Vin 15 V (d) Vin 17 V (e) Vin 20 V (f) Vin 22 V (Note : x = 500 ms/div dan y = 5V/div , Sinyal Kuning = Input , Sinyal Biru = Ouput)

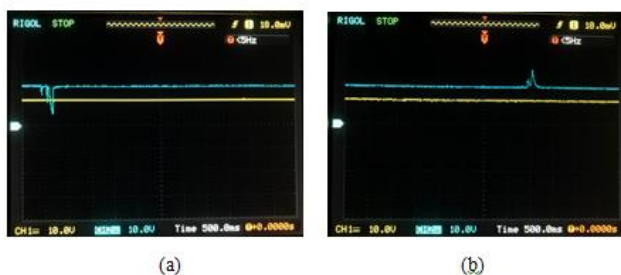
Pada Gambar 4.13 adalah hasil pengukuran tegangan dengan menggunakan osiloskop dengan Vin yang variatif

seperti yang tertera pada keterangan gambar, dan didapatkan V_{out} yang mendekati nilai *set point* 15 Volt yang sudah ditentukan. Dari hasil pengukuran pada saat *transient*, *rise time* yang dicapai yaitu 11.1 ms dengan *settling time* 12 ms, *overshoot* sebesar 16.4 V, dan *steady state error* sebesar ± 0.3 V atau 0.05 % dari *set point*.

4.4 Pengujian Perubahan Beban pada Saat Steady state

Pengujian bertujuan untuk mengetahui kinerja *fuzzy logic* dalam mengendalikan tegangan pada konverter dengan menggunakan beban yang berubah pada saat kondisi *steady state*. Output dari *fuzzy logic* berupa nilai *duty cycle* dan pada pengujian ini menggunakan tegangan input 10 untuk *mode boost* dan input 17 V untuk *mode buck*.

Pada pengujian menggunakan input 10 V dengan beban 110 ohm dan pada saat kondisi *steady state* beban akan diubah menjadi 105 ohm dan 115 ohm. Pengujian kedua dengan input 17 V dengan beban 65 dan beban dirubah pada saat *steady state* menjadi 60 ohm dan 70 ohm. Berikut hasilnya :



Gambar 4. 14 Hasil Pengukuran Beban di 110 Ω Menjadi (a) 105 Ω (b) 115 Ω (Note : x = 500 ms/div dan y = 5V/div , Sinyal Kuning = Input , Sinyal Biru = Ouput)



Gambar 4. 15 Hasil Pengukuran Beban di 65 Ω Menjadi (a) 60 Ω (b) 70 Ω (Note : x = 500 ms/div dan y = 5V/div , Sinyal Kuning = Input , Sinyal Biru = Ouput)

Pada Gambar 4.14 dan 4.15 merupakan sinyal pengukuran pada osiloskop pada saat kondisi *steady state* beban diubah maka terdapat *disturbance* dan setelah itu output kembali mendekati *set point*.

5. Kesimpulan dan Saran

5.1 Kesimpulan

1. Pada pengujian konverter sepic dengan beban, nilai tegangan output yang didapatkan bergantung dengan nilai beban yang digunakan. Semakin besar nilai beban yang digunakan maka nilai tegangan output konverter juga semakin besar. Konverter dapat mengeluarkan tegangan

yang mendekati *set point* pada nilai beban 110 Ω untuk V_{in} 10 V dan 49.7 Ω untuk V_{in} 22 V. Daya maksimum yang masuk pada konverter adalah 34.3 W.

2. Pada pengujian konverter sepic dengan *fuzzy logic control*, sistem *fuzzy logic control* dapat mengendalikan nilai nilai *duty cycle* berdasarkan pembacaan sensor tegangan yang masuk, tetapi terdapat selisih 0.005 s/d 0.03 dengan perhitungan secara manual. Nilai tegangan output yang didapatkan mendekati *set point* yang diinginkan dan hasil pengukuran pada saat *transient*, *rise time* yang dicapai yaitu 11.1 ms dengan *settling time* 12 ms, *overshoot* sebesar 16.4 V, dan *steady state error* sebesar ± 0.3 V atau 0.05 % dari *set point*.
3. Pada pengujian *fuzzy logic control* dengan perubahan beban pada saat kondisi *steady state*, terdapat *disturbance* yang disebabkan adanya perubahan nilai arus akibat adanya perubahan beban pada sinyal keluaran namun output dapat kembali menuju *set point*. Oleh karena itu bisa disimpulkan *fuzzy logic control* yang dirancang cukup tangguh terhadap *disturbance* yang disebabkan oleh perubahan beban.

REFERENSI

- [1] A. Komarudin, "Desain Dan Analisis Proporsional Kontrol Buck-Boost Converter," *J. ELTEK, Malang Vol 12, No.02, Oktober 2014 ISSN 1693-4024*, vol. 12, no. 02, pp. 78–89, 2014.
- [2] W. Pradana, "Digital Digital Repository Repository Universitas Universitas Jember Jember Digital Digital Repository Repository Universitas Universitas Jember Jember Text Mining pada Media Sosial Twitter," pp. 1–43, 2017.
- [3] E. H. Houssein and F. A. Samman, "Sistem Kendali Level Tegangan Konverter Buck-Bosst Tipe SEPIC," pp. 3–6, 2014.
- [4] I. Single and E. Primary, "Digital Digital Repository Repository Universitas Universitas Jember Jember Implementasi Single Ended Primary Inductante Digital Digital Repository Repository Universitas Universitas Jember Jember," 2018.
- [5] D. Zhang, "AN-1484 Designing A SEPIC Converter," no. April, 2013.
- [6] T. K. Rourkela, Behera, S. R., & Meher, "Design of Single Ended Primary Inductor Dc - Dc Converter," *Dr. Diss.*, 2013.
- [7] T. I. Incorporated, *Analog Applications Journal*. 2011.
- [8] K. OGATA, "Teknik Kontrol Automatik(Sistem Pengaturan)," p. 384, 1995.
- [9] M. I. Hanafi, "Digital Digital Repository Repository Universitas Universitas Jember Jember Digital Digital Repository Repository Universitas Universitas Jember Jember Text Mining pada Media Sosial Twitter," pp. 1–43, 2017.
- [10] S. T. Keluaran, "Buck Converter Dengan Metode," pp. 125–137.